

JP 63-181473  
303.356us1

3/9/1

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02564573 \*\*Image available\*\*

#### THIN-FILM TRANSISTOR

PUB. NO.: 63 -181473 [JP 63181473 A]  
PUBLISHED: July 26, 1988 (19880726)  
INVENTOR(s): UKAI YASUHIRO  
APPLICANT(s): HOSIDEN ELECTRONICS CO LTD [327818] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 62-013786 [JP 8713786]  
FILED: January 23, 1987 (19870123)  
INTL CLASS: [4] H01L-029/78; H01L-027/12  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)  
JOURNAL: Section: E, Section No. 688, Vol. 12, No. 457, Pg. 51, November 30, 1988 (19881130)

#### ABSTRACT

PURPOSE: To enhance the mobility of a field effect by a method wherein an active layer at a thin-film transistor to be used for an active liquid-display device is constituted by a heterojunction superlattice.

CONSTITUTION: As an active layer 21 at a thin-film transistor which is applied to a top-gate type stagger structure, hydrogenated amorphous silicon carbide  $a\text{-Si}(\text{sub } 1\text{-}x)\text{C}(\text{sub } x)$  (where  $x < 0.5$ ) is used for a well layer and another hydrogenated amorphous silicon carbide  $a\text{-Si}(\text{sub } 1\text{-}x)\text{C}(\text{sub } x)$  (where  $x > 0.5$ ) is used for a barrier layer; a multilayer laminate is constituted by laminating the two alternately. The active layer 21 is formed by a glow discharge method using silane gas  $\text{SiH}(\text{sub } 4)$  and acetylene gas  $\text{C}(\text{sub } 2)\text{H}(\text{sub } 2)$ . If amorphous silicon carbide  $a\text{-Si}(\text{sub } 1\text{-}x)\text{C}(\text{sub } x)$  (where  $x > 0.5$ ) is used for a gate insulating film 22, it is possible to form the gate insulating film 22 in succession after the formation of the active layer 21. If the amount  $x$  of carbon for amorphous silicon carbide  $a\text{-Si}(\text{sub } 1\text{-}x)\text{C}(\text{sub } x)$  is more than 0.5, the conductivity in relation to the amount of carbon for amorphous silicon carbide is reduced remarkably. The mobility due to the electrical conduction of false two-dimensional carriers is increased by a quantum effect, and a big current drive force is obtained.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-181473

⑫ Int. Cl.<sup>4</sup>

H 01 L 29/78  
27/12

識別記号

311

庁内整理番号

H-8422-5F  
7514-5F

⑬ 公開 昭和63年(1988)7月26日

審査請求 未請求 発明の数 2 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-13786

⑯ 出 願 昭62(1987)1月23日

⑰ 発 明 者 鶴 飼 育 弘 大阪府八尾市北久宝寺1丁目4番33号 星電器製造株式会社  
社内

⑱ 出 願 人 星電器製造株式会社 大阪府八尾市北久宝寺1丁目4番33号

⑲ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) ドレイン電極とソース電極との間にわたって活性層が配され、その活性層上に上記ドレイン電極及びソース電極間にゲート絶縁膜を介してゲート電極が設けられた薄膜トランジスタにおいて、

上記活性層は水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x:H$  ( $x < 0.5$ ) の井戸層と、水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x:H$  ( $x > 0.5$ ) のバリア層とが交互に多層積層されてなることを特徴とする薄膜トランジスタ。

(2) ドレイン電極とソース電極との間にわたって活性層が配され、その活性層上に上記ドレイン電極及びソース電極間にゲート絶縁膜を介してゲート電極が設けられた薄膜トランジスタにおいて、

上記活性層は水素化アモルファスシリコン  $a-Si:H$  の井戸層と、水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x:H$  のバリア層とが交互に多層積

層されてなることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は例えば薄膜トランジスタをスイッチ素子として用いるアクティブ液晶表示素子に用いられる薄膜トランジスタに関する。

「従来の技術」

従来のこの種の薄膜トランジスタは、例えば第6図に示すように、ガラスのような透明基板11上に、互に分離されてドレイン電極12及びソース電極13が形成され、これらドレイン電極12及びソース電極13間にわたって例えば水素化アモルファスシリコン  $a-Si:H$  の活性層14が基板11上に形成され、その活性層14上に窒化シリコン  $SiN_x$  などのゲート絶縁膜15が形成され、そのゲート絶縁膜15上にゲート電極16が形成されていた。

このように従来においては活性層14として  $a-Si:H$  を用いているため電界移動度が小さいため電流駆動能力が低い。このため例えばアクテ

ィブ液晶表示素子における画素電極に対するスイッチ素子として用いた場合にその動作速度を十分速くすることができず、またアクティブ液晶表示素子の周辺駆動回路を、薄膜トランジスタを用いて実現することは困難であった。

この発明の目的は電界効果移動度の大きい薄膜トランジスタを提供することにある。

#### 「問題点を解決するための手段」

この発明によれば薄膜トランジスタの活性層はヘテロ接合超格子構造とされる。つまり、この第1発明によれば水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x:H(x<0.5)$  の井戸層と、水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x:H(x>0.5)$  のバリア層とが交互に多層積層されて構成される。

この第2発明によれば、水素化アモルファスシリコン  $a-Si:H$  の井戸層と、水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x:H$  のバリア層とが多層積層されてなる。

このようにこの発明による薄膜トランジスタは活性層がヘテロ接合超格子構造となっているため、

方法と、放電を停止せずに各層の形成はガスの切換えのみで行う方法とが考えられる。

第1図の例ではゲート絶縁膜22として炭化アモルファスシリコン  $a-Si_{1-x}C_x(x>0.5)$  を用いた場合である。このゲート絶縁膜22を用いると、活性層21の形成に引き続き、連続的にゲート絶縁膜22の形成を行うことができる。

このように炭化アモルファスシリコン  $a-Si_{1-x}C_x$  のカーボン量  $x$  を0.5以上にすると第2図の曲線23に示すように導電率が著しく低下し、絶縁層として用いることができる。

第3図はこの発明をバトムゲート形式の構造に適用した例を示す。すなわち、基板11上にゲート電極16が形成され、そのゲート電極16上にゲート絶縁膜22が形成され、更にその上に活性層21が形成され、その活性層21の両側部上にドレイン電極12及びソース電極13が形成される。

第4図はこの発明をコープラナ構造に適用した薄膜トランジスタの一例を示す。すなわち基板11

量子効果による擬似二次元キャリアの電気伝導による移動度が増大し、大きな電流駆動力が得られる。

#### 「実施例」

第1図はこの発明をトップゲート形式の構造に適用した薄膜トランジスタの一例を示し、第6図と対応する部分には同一符号を付けてある。

この第1発明によれば活性層21として水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x(x<0.5)$  を井戸層とし、水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x(x>0.5)$  をバリア層とし、これらを交互に多層積層して構成する。前記井戸層の厚さは例えば25Å、前記バリア層の厚さは例えば50Åとし、その積層を例えば15周期とし、全体の厚さを1175Åとする。

この活性層21の形成はシランガス  $SiH_4$  とアセチレンガス  $C_2H_2$  とのグロー放電法により形成することができる。その場合井戸層とバリア層との各層の形成ごとに放電を停止し、反応容器内のガスをパージ後、原料ガスを交換して再び放電を行う

上に活性層21が形成され、その活性層21上にドレイン電極12とソース電極13とが互に分離されて形成され、これらドレイン電極12及びソース電極13間にわたってゲート絶縁膜22が活性層21上に形成され、ゲート絶縁膜22上にゲート電極16が形成される。

上述においては活性層21の井戸層及びバリア層として共に水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x:H$  を用いたが、第2発明によれば活性層21の井戸層は水素化アモルファスシリコン  $a-Si:H$  で、バリア層は水素化炭化アモルファスシリコン  $a-Si_{1-x}C_x:H$  でそれぞれ構成される。この場合も例えば井戸層の厚さは25Å、バリア層の厚さは50Åとし、15周期の多層構造とし、全厚さを1175Åとされる。この活性層の形成は先の第1発明の場合と同様に、例えば  $SiH_4$  ガスと  $C_2H_2$  ガスのグロー放電法により行うことができる。

#### 「発明の効果」

以上述べたようにこの発明によれば、活性層21がヘテロ接合超格子構造となっているため、量子

効果による類似二次元キャリアの電気伝導による  
効率が増大し、大きな電流駆動能力が得られる。

従って例えばアクティブ液晶表示素子の画素電  
極に対するスイッチ素子としてのこの発明の薄膜ト  
ランジスタを適用すると、画素電極に対する充放  
電を急速に行うことができる。また大きな電流駆  
動能力をもつため、アクティブ液晶表示素子の周  
辺駆動回路の能動素子としても十分利用すること  
ができ、従って液晶表示素子の基板に画素電極、  
そのスイッチ素子としての薄膜トランジスタを形  
成すると共にその周辺駆動回路も同一基板に、こ  
の発明の薄膜トランジスタを用いて同時に形成す  
ることができる。

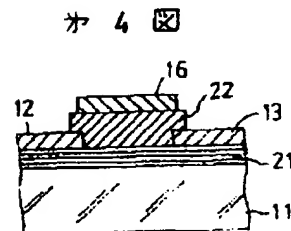
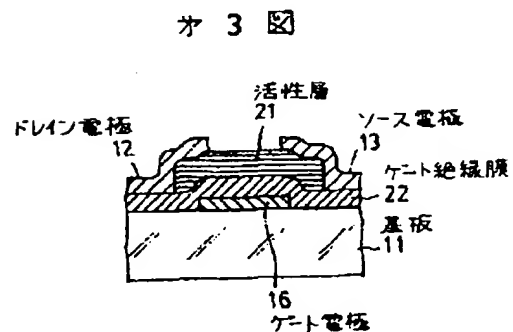
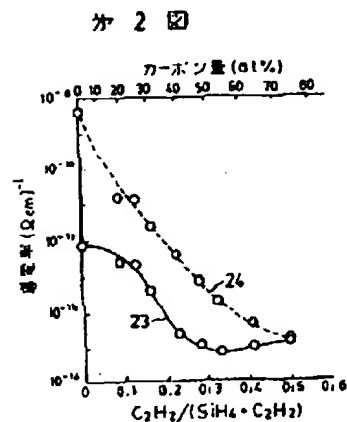
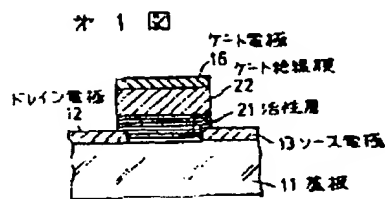
また水素化炭化アモルファスシリコン  $\alpha\text{-Si}_{1-x}\text{C}_x\text{:H}$   
はカーボン量  $x$  を増加すると第3図の曲線24  
に示すように光導電率が低下する。また第5図に  
示すようにカーボン量  $x$  を増加すると光学的エネ  
ルギーギャップが大となる。つまり  $\alpha\text{-Si}_{1-x}\text{C}_x\text{:H}$   
はカーボン量  $x$  を増加すると光導電効果が小さく  
なる。従って、第1発明によればバリア層の  $x$  を

0.5以上としているため、基板11を通して外部  
から活性層21に光が入射されてもこれに影響さ  
れることなく、薄膜トランジスタとして良好に動  
作するものが得られる。

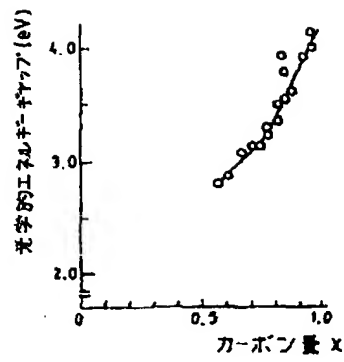
#### 4. 図面の簡単な説明

第1図はこの発明による薄膜トランジスタの一  
例を示す断面図、第2図は炭化アモルファスシリ  
コンのカーボン量に対する導電率特性例を示す図、  
第3図及び第4図はそれぞれこの発明の薄膜トラ  
ンジスタの他の例を示す断面図、第5図は炭化ア  
モルファスシリコンのカーボン量に対する光学的  
エネルギーギャップ特性例を示す図、第6図は従  
来の薄膜トランジスタを示す断面図である。

特許出願人 盛電器製造株式会社  
代理人 草野 肇



カ 5 図



カ 6 図

